

# 01 18Lm CMOS 10Gb/s 光接收机限幅放大器

金 杰, 冯 军, 盛志伟, 王志功

(东南大学射频与光电集成电路研究所, 东南大学华邦电子联合研究中心, 江苏南京 210096)

**摘 要:** 利用 TSMC 01 18Lm CMOS 工艺设计了应用于 SDH 系统 STM264(10 Gb/s)速率级光接收机中的限幅放大器. 该放大器采用了改进的 Cherry2Hooper 结构以获得高的增益带宽积, 从而保证限幅放大器在 10Gb/s 以及更高的速率上工作. 测试结果表明, 此限幅放大器在 10Gb/s 速率上, 输入动态范围为 42dB(312mV~ 500mV), 508 负载上的输出限幅在 250mV, 小信号输入时的最高工作速率为 12Gb/s. 限幅放大器采用 11.8 V 电源供电, 功耗 110mW. 芯片的面积为 01 7mm @01 9mm.

**关键词:** STM264; 光接收机; 限幅放大器; Cherry2Hooper 结构; 01 18Lm CMOS 工艺

**中图分类号:** TN929 **文献标识码:** A **文章编号:** 03722112 (2004) 08139203

## 01 18Lm CMOS Limiting Amplifier for 10Gb/s Optical Receiver

JIN Jie, FENG Jun, SHENG Zh2wei, WANG Zh2gong

(Institute of RF&OE ICs of Southeast University, Seu2Winbond Joint Resrch Center, Nanjing, Jiangsu 210096, China)

**Abstract:** A 10Gb/s limiting amplifier for SDH STM264 optical receiver is realized in 01 18Lm CMOS technology. A modified Cherry. Hooper architecture is employed to achieve a higher gain2bandwidth product. The measured results demonstrate an input dynamic range of 42dB(312mV~ 500mV) with constant output swing 250mV. The highest bit rate can be achieved is up to 12Gb/s with a small2signal input. The power dissipation is 110mW with the supply voltage of 11.8V. The chip area is 01 7mm @01 9mm.

**Key words:** STM264; optical receiver; limiting amplifier; Cherry2Hooper architecture; 01 18Lm CMOS technology

### 1 引言

随着计算机网络的迅猛发展、多媒体通信的广泛应用和信息高速公路的大规模建设,人们对高速通信系统的需求越来越高. 光纤通信以其通信容量大, 损耗小, 保密性好, 价格低廉等优点成为现代通信中及其重要的一种通信方式. 目前 21.5Gb/s 的光纤通信系统已被广泛应用, 10Gb/s 速率的超高速干线系统正逐渐得到推广并将成为未来我国信息高速公路的主干. 开发具有自主知识产权的光纤通信用集成电路芯片对我国信息化建设有重大意义.

限幅放大器作为一个单片集成电路,应用范围十分广泛. 首先在光纤传输系统中, 限幅放大器可以作为光接收机中的主放大器,将前置放大器输出的较小电压进一步放大至一定的幅度,以满足后继数据判决和时钟恢复电路输入电平的需要. 其次可用于含无源滤波器的时钟恢复电路,以抑制由于输入信号码型不同而引起的时钟信号的幅度变化. 另外, 限幅放大器还可以作为其他领域内各种电路单元的输入输出缓冲. 可见,设计高速率,大动态范围和高增益的限幅放大器是非常有意义的一项工作.

目前 10Gb/s 速率级的集成电路,大多数采用高速双极性硅或 GaAs、InP 等 0 / 0 族工艺,它们具有成本高, 功耗大, 集成度低等缺点. 随着 CMOS 工艺向深亚微米方向的发展, 晶体管的特征尺寸不断减小, 特征频率  $f_T$  不断提高, 01 18Lm CMOS

工艺的特征频率  $f_T$  已达到 49GHz, 因此, 采用 01 18Lm CMOS 工艺可以实现 10Gb/s 速率级的高速限幅放大器.

### 2 电路设计

限幅放大器的工作原理是: 在输入信号幅度较小时, 限幅放大器工作在线性区域, 当输入信号幅度超过一定的电平时, 放大器进入非线性工作区域, 输出信号幅度保持恒定.

本设计的限幅放大器系统框图如图 1 所示. 整个限幅放大器由输入缓冲, 三级宽带放大单元, 输出缓冲和失调电压补偿回路四部分

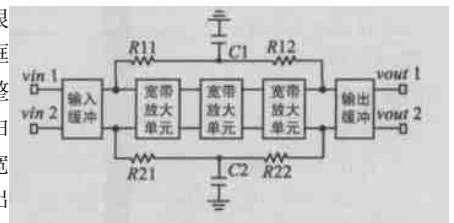


图 1 限幅放大器系统框图

构成. 整个系统采用全差分的电路结构, 以降低由于电源电压和温度变化对电路器件的影响. 级间采取直接耦合, 各级单独提供直流偏置, 以达到提高偏置稳定性和减小级间干扰的目的.

根据限幅放大器的工作原理可知: 为了扩大限幅放大器工作的动态范围, 限幅放大器的放大单元必须具有较大的增益, 从而实现较小输入信号时输出信号的限幅; 为了满足限幅放大器能在 10Gb/s 的高速率上正常工作, 放大单元又必须具

有足够大的带宽.因此,设计一个具有高增益的宽带放大单元是设计整个 10Gb/s 限幅放大器的关键.

扩展放大器频带的常用方法之一是在一般的差分放大器后面加一对源极跟随器,如图 2 所示,其目的是通过源极跟随器减小后级放大器输入电容对本级放大器带宽的影响.同时源极跟随器还有电平位移的作用,有助于多级放大器级联时的电平匹配.但本设计中的电源电压仅为 1.8V,经电平位移后无法使下级电路正常工作,故不采取此方法.

扩展放大器频带的另一有效方法是采用并联峰化技术<sup>[2]</sup>.随着人们在射频集成电路领域的研究不断深入,在 CMOS 工艺条件下制作单片电感已成为可能.将电感和电阻串联作为放大器的感性负载,与放大器的负载电容组成一个 RLC 网络.适当选取电感值,可以有效地拓展带宽.但是,在设计中引入多个电感不仅大大增加了芯片面积,提高制作成本,同时给版图设计带来了一定的困难,不可避免地造成放大器单元之间连线增加,带来很大的寄生效应.因此,在本次设计中只在输出缓冲中加入了电感.如图 3 所示,输出缓冲由两级差分构成以增加其驱动能力,内接 50 $\Omega$  电阻实现与传输线的匹配.

采用 Chery2Hooper 结构也是实现宽带放大器的重要方式之一<sup>[3]</sup>.经典的 Chery2Hooper 结构如图 4 所示. Chery2Hooper 结构的宽带放大器由一个互导放大器(TAS)和一个互阻放大器(TIS)级联构成.这两个放大器由于采用了负反馈技术,本身就是宽带放大器,分别完成电压到电流和电流到电压的宽带放大功能. Chery2Hooper 结构放大器正是利用这两种反馈放大器输入输出阻抗之间的关系将它们进行了合理组合,使两级放大器达到有效放大电压信号及展宽放大器频带的目的.

为了保证限幅放大器在 10Gb/s 的速率上工作,还需要进一步挖掘 Chery2Hooper 结构的潜力,而如何进一步扩展两个反馈放大器的带宽是设计努力的方向.这次设计中采用了如图 5 所示改进的 Chery2Hooper 结构来构成限幅放大器的宽带放大单元.由反馈理论可以推出,互阻放大器的带宽为  $BW = 1/(2P \cdot R_{in} \cdot C_{in})$ ,其中  $R_{in} = R_f/(1+A)$ .为了提高互阻放大器

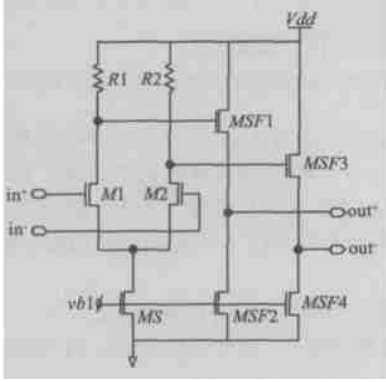


图2 源极跟随器形式的差分放大器

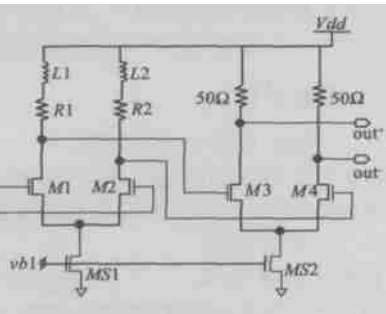


图3 输出缓冲

的带宽,可以通过减小输入电容,减小反馈电阻和提高放大器的开环增益 A 来实现.但是减小反馈电阻会减小互阻放大器的增益并引入不必要的噪声,故不可取.因此需要从其它两个方面着手.为了增加开环增益 A,我们用两级差分放大器 (AMP2, AMP3) 级联加反馈电阻 ( $R_{f1}$ ,  $R_{f2}$ ) 构成一个高开环增益的互阻放大器 (TIS), 这样既可以增加整个放大器的闭环增益又可以扩展带宽,但这是以增加一级差分放大器的功耗作

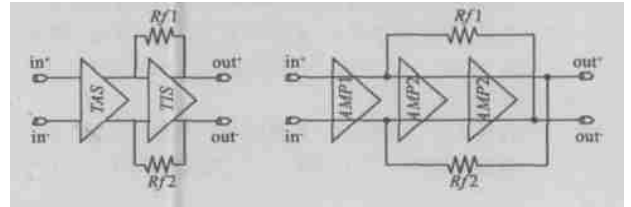


图4 经典的 Chery2Hooper 结构

图5 改进后的 Chery2Hooper 结构

为代价的.进一步分析得知,互阻放大器的输入电容  $C_{in}$  主要由放大器的密勒电容构成,为了减小  $C_{in}$ ,改进的 Chery2Hooper 结构中 AMP1, 2, 3 均采用如图 6 所示的共源2共栅 (Cascade Stage) 结构的差分放大器来实现.这种结构主要是利用共栅放大器极小的输入电阻和良好的电流传递特性来减小放大器的密勒电容,扩展带宽.但是在低电源电压的情况下,设计这种形式的放大器时必须精心选择各级的直流偏置,以保证各个晶体管均能在饱和区内工作.另外,在改进的 Chery2Hooper 结构中,互导放大器 (TAS) 可以由上述共源2共栅结构的差分放大器 (AMP1) 代替.

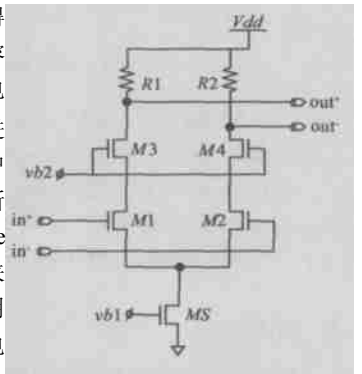


图6 共源2共栅结构的差分放大器

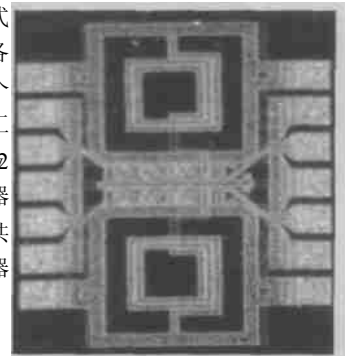


图7 限幅放大器芯片照片

### 3 芯片制造

此限幅放大器利用台湾 TSMC 提供的 0.18 $\mu$ m CMOS 工艺实现.芯片照片如图 7 所示,芯片面积为 0.17mm<sup>2</sup>@0.19mm.

### 4 测试结果

该限幅放大器在片测试的结果如下:

电源电压	小信号增益	动态范围	输出摆幅	最高工作速率	功耗 / 核心功耗
1.8V	38dB	42dB	双端 250mV	> 12Gb/s	110mW/ 54mW

图 8(a)、(b) 分别给出当输入 10Gb/s 的  $2^{31}-1$  PRBS 信号, 双端信号幅度  $V_{pp}$  分别为 312mV、5mV 和 500mV 时的单端输出眼图, 单端输出幅度为 125mV。

图 9(a)、(b) 分别给出当输入 12Gb/s 的  $2^{31}-1$  PRBS 信号, 双端信号幅度  $V_{pp}$  分别为 10mV、50mV 和 500mV 时的单端输出眼图, 单端输出幅度为 125mV。

以上测试结果表明: 采用 TSMC 01 18Lm CMOS 工艺可以设计出 10Gb/s 速率的限幅放大器, 其最高工作速率可以超过 12Gb/s。

## 5 总结

利用 TSMC 01 18Lm CMOS 工艺实现了用于 SDH STM64 速率级的限幅放大器, 当其工作在 10Gb/s 速率时, 输入动态范围为 42dB, 508 负载上的双端输出限幅在 250mV, 最高工作速率可超过 12Gb/s。限幅放大器采用 11 8V 电源供电, 功耗 110mW(其中核心功耗 54mW)。芯片的面积为 01 7mm@01 9mm。

## 参考文献:

- [ 1 ] Rui Tao, Zhigong Wang, Tingting Xie. CMOS Limiting Amplifier for SDH STM64 Optical Receiver[J]. Electronics Letters, February 2001, 37(4): 236- 237.
- [ 2 ] Behzad Razavi. Design of high speed circuits for optical communication systems[J]. IEEE 2001 Journal of Solid State Circuits, 2001, 37(9): 1135- 1145.
- [ 3 ] T Yoon, B Jalali. Frontend CMOS chipset for fiber based gigabit ethernet[J]. Digest of Symposium on L VSI Circuits, Honolulu, HI, USA, 1998, 1213: 188- 191.
- [ 4 ] Behzad Razavi. Design of Analog CMOS Integrated Circuits[M]. McGraw Hill Higher Education, 2002.

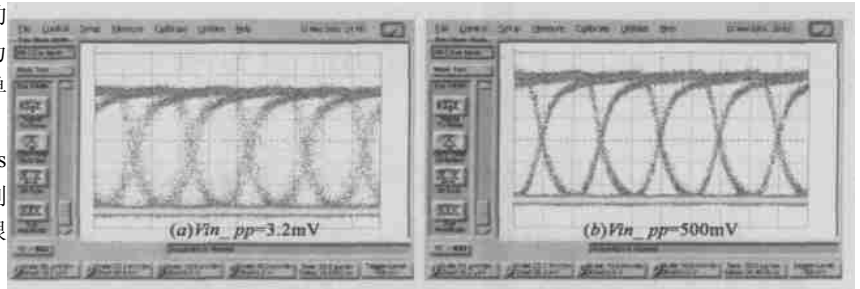


图 8 10Gb/s 时的单端输出信号眼图

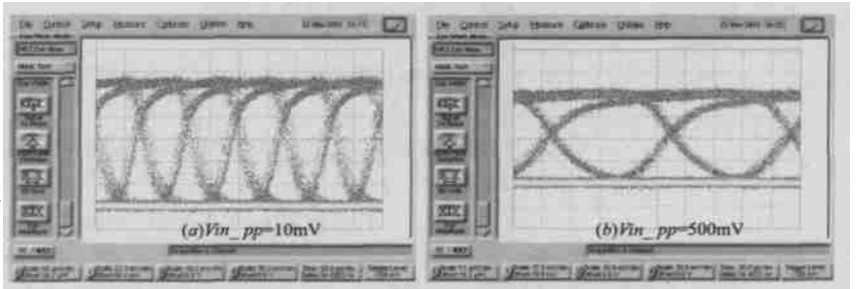


图 9 12Gb/s 时的单端输出信号眼图

## 作者简介:



**金 杰** 女, 1978 年 9 月出生于江苏省通州市, 2001 年毕业于东南大学无线电工程系, 获工学学士学位, 同年入东南大学无线电工程系电路与系统专业攻读硕士学位, 现在东南大学射频与光电集成电路研究所从事超高速光纤通信系统集成电路的设计与研究。

**冯 军** 女, 1953 年 6 月生于江苏淮阴, 教授, 硕士生导师, 1978 年毕业于南京工学院(东南大学)无线电工程系并留校任教, 科研的主攻方向是光纤通信用集成电路和光电集成电路设计, 近几年已完成有关 5 项 863 科研项目。